

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

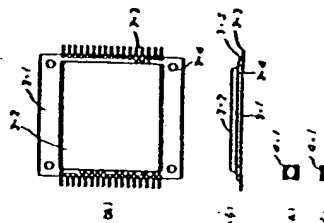
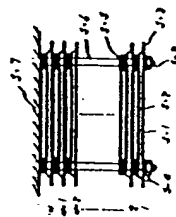
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JA 0096756
JUN 1983**(54) MOUNTING METHOD OF MULTICHIP PACKAGE:**

- (11) 58-96756 (A) (43) 8.6.1981 (19) JP
 (21) Appl. No. 56-194428 (22) 4.12.1981
 (71) TOKYO SHIBAURA DENKI K.K. (72) YOSHITAKA FUKUOKA
 (51) Int. Cl. H01L23/32, H01L23/02

PURPOSE: To perform mounting of the multichip packages having favorable efficiency by a method wherein penetrating holes of resin blocks are positioned to penetrating holes of two or more provided at the circumferential part of the respective multichip packages, and metal bars are inserted therein to be supported and to be fixed to a case body.

CONSTITUTION: IC's are supported to be fixed to a substrate 3-1, and are sealed airtightly by a cap 3-2. Input-output terminals 3-3 are soldered with silver solder 3-5 outwardly and in parallel with the face of the substrate. The penetrating holes 3-4 are provided in the substrate 3-1 at the circumference of the cap 3-2. Penetrating holes 4-1 of the same diameter with the hole 3-4 of the substrate 3-1 are provided in the resin blocks of Teflon, etc., having a little elasticity, and utilizing the holes 4-1 of the blocks 5-5 thereof and the holes 3-4 of the substrate, the rigid body bars 5-6 of metal, etc., are inserted using the blocks 5-5 as the interlayer insulators, and the tips are fixed by screws to the case body 5-7. By this constitution, the multichip packages of a large number can be mounted having favorable efficiency and in high density to the case body having a space in the perpendicular direction.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58-96756

⑫ Int. Cl.
H.01.L 23/32
23/02

識別記号

庁内整理番号
6240-SF
7738-SF

⑬ 公開 昭和58年(1983)6月8日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ マルチチップパッケージの実装方法

⑮ 特 願 昭56-194428

⑯ 出 願 昭56(1981)12月4日

⑰ 発 明 者 福岡義孝

川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内

⑱ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 則近憲佑 外1名

発明の名称

① マルチチップパッケージの実装方法

② 特許請求の範囲

③ ④ ⑤ ⑥ ⑦ ⑧ ⑨ ⑩ ⑪ ⑫ ⑬ ⑭ ⑮ ⑯ ⑰ ⑱ ⑲ ⑳ ㉑ ㉒ ㉓ ㉔ ㉕ ㉖ ㉗ ㉘ ㉙ ㉚ ㉛ ㉜ ㉝ ㉞ ㉟ ㊱ ㊲ ㊳ ㊴ ㊵ ㊶ ㊷ ㊸ ㊹ ㊺ ㊻ ㊼ ㊽ ㊾ ㊿

基板と実体等の基板との間に挿入し、第1から第Nまでの配線基板のすべての通孔と、各々の配線基板間及び配線基板と実体等の基板との間に挿入した各々のブロックのすべての通孔とを互に通する構造を少なくとも2本以上の剛体棒を、前記すべての通孔に挿入し、その剛体棒の先端部を実体等の基板に固着せしめる事により、第1から第Nまでのマルチチップパッケージを支持固定せしめる事を特徴とするマルチチップパッケージの実装方法。

① ② ③ ④ ⑤ ⑥ ⑦ ⑧ ⑨ ⑩ ⑪ ⑫ ⑬ ⑭ ⑮ ⑯ ⑰ ⑱ ⑲ ⑳ ㉑ ㉒ ㉓ ㉔ ㉕ ㉖ ㉗ ㉘ ㉙ ㉚ ㉛ ㉜ ㉝ ㉞ ㉟ ㊱ ㊲ ㊳ ㊴ ㊵ ㊶ ㊷ ㊸ ㊹ ㊺ ㊻ ㊼ ㊽ ㊾ ㊿

電気的接続を形成する事を特徴とする前記特許請求の範囲第1項記載のマルチチップパッケージの実施方法。

(13) 前記多小出力性を有するブロックがブロック形状ではなく、前記配線基板のチャップ等の基体の周辺部に設けられなくとも2ヶ所以上の通孔と同一配線基板上に同一の大きさの通孔を設け、前記気密封止すべきチャップ等の基体の周辺部を囲む様な形状構造を有する事を特徴とする前記特許請求の範囲第1項記載のマルチチップパッケージの実施方法。

3. 発明の詳細な説明

発明の成する技術分野

本発明は、配線基板上に複数の電子的機能要素をチップ状態で実装し、全体を気密封止すべきチャップ等の基体を搭載したマルチチップパッケージの実施方法に関するものである。

従来の技術とその問題点

近年、電子的装置の小型、高集積化、高速化、高信頼性化の要求が著しく高まって来ており、それ等

(13)

例えばハンド付けあるいはウェルディング等により支持固定されたチャップ等の基体1-2、及び配線基板1-1の周辺部に例えばハンド付けあるいは溶接付け等により形成された入出力端子1-3から構成されている。図1において1-4は電子的機能要素であるICチップを、1-5は同じくコンデンサチップを示してあり、また1-6は、それ等のICチップ1-5と配線基板1-1との電気的接続を形成する例えばAu線等のワイヤーを示している。この様なマルチチップパッケージを複数個使用して1つのシステムを形成するわけであるが、この様な場合、従来の第2図(14)は平面図、(15)は側面図)に示す如く所謂プリント配線基板2-1上に第1図に示すマルチチップパッケージの入出力端子1-3を折り曲げ成形し、その入出力端子2-3を前記プリント配線基板2-1のスキームホール内に挿入し、例えばハンド付け2-5等て支持固定する事によりマルチチップパッケージを複数個プリント配線基板上に実装し、各々のマルチチップパッケージの電気的接続を形

(15)

成する事により1つのシステムを形成していたマルチチップパッケージに於て、2-1はマルチチップパッケージの配線基板、2-2は気密封止用のチャップ等の基体をそれぞれ示している。しかしながらこの方法では、形成すべき1つのシステムを構成する複数の基体の平面的な面積が前記マルチチップパッケージ(第1図)を複数個搭載できる程度の面積を有する場合に問題はないが、前記複数の基体の平面的な面積がマルチチップパッケージ(第1図)の平面的な面積とはほぼ同等の面積を有する場合に於ては、その複数の基体内に複数のマルチチップパッケージを実装する事は出来ぬ筈であり成すべくも無かった。

発明の目的

本発明はこの様な事情を考慮して成されたものであり、その目的とする所は、平面的な面積が小さい複数の基体に効率的に多数のマルチチップパッケージを実装する方法を提供する事にある。本発明は前記複数の基体の平面的な面積を有する平面と面積方向に於て、前記マルチ

(14)

チップ等の配線基板1-1の周辺部に設けられなくとも2ヶ所以上の通孔と同一配線基板上に同一の大きさの通孔を設け、前記気密封止すべきチャップ等の基体の周辺部を囲む様な形状構造を有する事を特徴とする前記特許請求の範囲第1項記載のマルチチップパッケージの実施方法。

パッケージの配線基板1-1の周辺部に設けられなくとも2ヶ所以上の通孔と同一配線基板上に同一の大きさの通孔を設け、前記気密封止すべきチャップ等の基体の周辺部を囲む様な形状構造を有する事を特徴とする前記特許請求の範囲第1項記載のマルチチップパッケージの実施方法。

以下、本発明の構成を説明する。第3図は同時形成する事に依り特定の回路機能を持たせる所なる印刷積層ノライズドセラミック基板のものであり、3-1は、あるいはグリーンシートに金型パンチング等チップ等のチップにより通孔を形成し、その上に導体ペーストを印刷3-2はそれらの通孔、乾燥し、それ等のグリーンシートを複数枚重ね配線基板3-1に重ね合わせ加圧した後、還元雰囲気中で同時焼成すダイニング等の手法に依り特定の回路機能を持たせる所なるシート系体を示す。またトランジスタ等により形成した高集積配線基板上に1-2のチップ部品、ICチップ等のチップ部品を複数個実装し、全体を封けあるいは真空気密封止する所なるマルチチップパッケージに成された入出力端子は、技術が同発されつつある。

これは本発明による。

この様なマルチチップパッケージの外観構造は、その基体3-1として、第1図に示す如く高集積配線基板1-1に形成された少くとも及び全体を気密封止すべき配線基板1-1上(1ヶ所)の通孔を示

成する事により1つのシステムを形成していたマルチチップパッケージに於て、2-1はマルチチップパッケージの配線基板、2-2は気密封止用のチャップ等の基体をそれぞれ示している。しかしながらこの方法では、形成すべき1つのシステムを構成する複数の基体の平面的な面積が前記マルチチップパッケージ(第1図)を複数個搭載できる程度の面積を有する場合に問題はないが、前記複数の基体の平面的な面積がマルチチップパッケージ(第1図)の平面的な面積とはほぼ同等の面積を有する場合に於ては、その複数の基体内に複数のマルチチップパッケージを実装する事は出来ぬ筈であり成すべくも無かった。

(16)

本発明の要旨は、
以下、本発明の一実施例を図面を参照しながら説明する。第1図(平面図、側面図)は、本発明によるマルチチップパッケージの構造を示すものであり、3-1は電子の接続部であるICチップ等のチップ部品は支持固定する配線基板、3-2はそれらのチップ部品全体を気密封止する(配線基板3-1)上にKヘンダ付けあるいはウエリグ等の手段により形成されたキャップ等の部材を示す。また3-3は、マルチチップパッケージのチップ部品形成面を平行に外向きKヘンダ付けあるいはKヘンダ付け等の手段により形成された入出力端子を示すものである。また3-4は本発明による気密封止べく形成されたキャップ等の部材3-2の周辺部の配線基板3-1に形成された少なくとも2ヶ所以上(図に示すは配線基板1-1上)の通孔を示している。第4図(平面図、

(7)

断面図)は、本発明による配線基板3-1を構成する部材の材質を多少弾力性を有する例えばフロン等の樹脂ブロックを示してあり、その例えばフロン等の樹脂ブロックは、前記配線基板3-1の周辺部に形成された通孔3-4とはほぼ同一サイズの通孔4-1が形成されている。第5図は本発明によるマルチチップパッケージ(第3図)を基板等の基体5-7に実装した実装方法を示す側面図である。すなわち第1のマルチチップパッケージから第Nのマルチチップパッケージの各々の間及び第Nのマルチチップパッケージと基板との間、前記マルチチップパッケージの周辺部に設けた少なくとも2ヶ所以上の通孔3-4の存在する位置に前記例えばフロン等の樹脂ブロック5-5の通孔4-1の位置を合わせ当該フロン等の樹脂ブロック5-5(第4図)を挿入し、これ等の通孔、位置の3-4及び4-1を完全する様に例えば金板等の剛体部5-6を挿入し、その先端をネジ止め等の方法にて基板等の基体5-7に支持固定する事により第1から第Nまでの

(9)

の出入力端子5-3間の電気的接続が形成されるであろう。
発明の効果
本発明を採用する事により、平面的には小さな面積しか有さないが、それK垂直な方向にはある程度のスペースを有する基板等の基体に多数のマルチチップパッケージを効果よく高密度に実装する事が可能と成った。
発明の実施例
図、本発明の一実施例の断面図による説明で、第4図の例えばフロン等の樹脂ブロックは、第6図(平面図、側面図)に示す如く、前記マルチチップパッケージの気密封止べく形成されたキャップ等の部材の周辺部を通過する接続部を形成してよい。但し通孔6-1は、マルチチップパッケージの配線基板の周辺部に設けた通孔と同一位置にほぼ同一サイズで形成する事が必要である。また、本発明のマルチチップパッケージの配線基板及び気密封止すべきキャップ等の部材は、すべて長方形にて説明して来たが、これは円形あるいは

(8)

の出入力端子5-3間の電気的接続が形成されるであろう。

発明の効果

本発明を採用する事により、平面的には小さな面積しか有さないが、それK垂直な方向にはある程度のスペースを有する基板等の基体に多数のマルチチップパッケージを効果よく高密度に実装する事が可能と成った。

発明の実施例

図、本発明の一実施例の断面図による説明で、第4図の例えばフロン等の樹脂ブロックは、第6図(平面図、側面図)に示す如く、前記マルチチップパッケージの気密封止べく形成されたキャップ等の部材の周辺部を通過する接続部を形成してよい。但し通孔6-1は、マルチチップパッケージの配線基板の周辺部に設けた通孔と同一位置にほぼ同一サイズで形成する事が必要である。また、本発明のマルチチップパッケージの配線基板及び気密封止すべきキャップ等の部材は、すべて長方形にて説明して来たが、これは円形あるいは

(10)

第1-3, 2-3, 3-3, 5-3—マルチチップパッケージの入出力端子。

2-4—プリント配線基板。

3-4, 5-4—本発明により形成されたマルチチップパッケージ用配線基板周辺の通孔。

5-6—本発明による金属等の剛性部。

5-7—基板等の基板。

図 3

代理人 弁護士 謝 近 庭 祐
(12か1名)

(a)

(b)

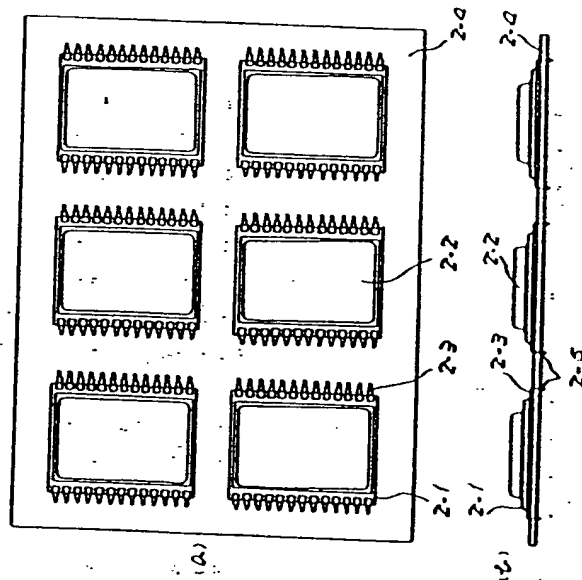
図 4

(a)

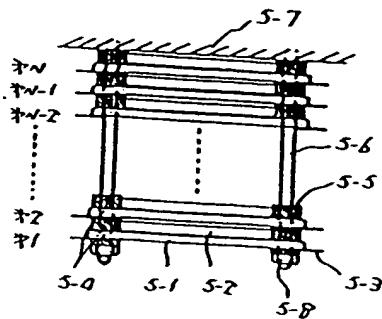
(b)

10

12



第 5 圖



第 6 圖

